

PAT-NO: JP410289921A  
DOCUMENT-IDENTIFIER: JP 10289921 A  
TITLE: SEMICONDUCTOR DEVICE  
PUBN-DATE: October 27, 1998

INVENTOR-INFORMATION:

NAME  
YAKIDA, HIDEKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP09095951

APPL-DATE: April 14, 1997

INT-CL (IPC): H01L021/60, H01L023/12

ABSTRACT:

PROBLEM TO BE SOLVED: To realize effective utilization of a semiconductor chip and reduction of a chip size by, when an inductance element is formed using an electrode wiring in an integrated circuit of a high frequency integrated circuit and an MMIC(monolithic microwave integrated circuit), reducing an electrical resistance value to realize a high Q value and low-loss inductance element used for an oscillation circuit and a resonance circuit, and, when the inductance element is formed with a spiral-shaped wiring pattern, reducing a surface area occupying on the semiconductor chip.

SOLUTION: With a plurality of metal bonding wires 13, 14 and 15 connecting among bonding pads of at least a plurality of bonding pads 5-8, and inductance

element is formed, and with at least three bonding pads of the intermediate bonding pad 6 or 7, an inductance element provided with an intermediate tap is formed, and by magnetically combining the inductance element and the inductance element provided with a center tap, an inductance element having mutual inductance is formed.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-289921

(43)公開日 平成10年(1998)10月27日

(51)IntCl.<sup>°</sup>H 0 1 L 21/60  
23/12

識別記号

3 0 1  
3 0 1

F I

H 0 1 L 21/60  
23/123 0 1 N  
3 0 1 C

審査請求 未請求 請求項の数7 O L (全 8 頁)

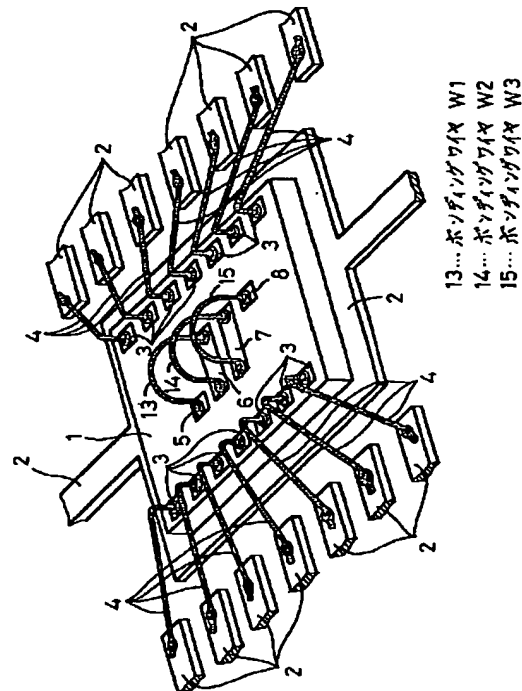
(21)出願番号 特願平9-95951  
(22)出願日 平成9年(1997)4月14日(71)出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72)発明者 八木田 秀樹  
神奈川県横浜市港北区綱島東四丁目3番1  
号 松下通信工業株式会社内  
(74)代理人 弁理士 松村 博

(54)【発明の名称】 半導体装置

(57)【要約】 (修正有)

【課題】 高周波集積回路およびMMICの集積回路内の電極配線を用いてインダクタンス素子を形成する場合、電気抵抗値を低減し、発振回路や共振回路に用いる高いQ値と低損失なインダクタンス素子の実現を可能とし、またスパイラル形状の配線パターンでインダクタンス素子を形成した場合半導体チップ上の占有する表面積を縮小して、半導体チップの有効利用とチップの縮小を図る。

【解決手段】 少なくとも複数のボンディングパッド5～8のボンディングパッド間を接続した複数の金属ボンディングワイヤ13、14、15とによってインダクタンス素子を、中間のボンディングパッド6或はボンディングパッド7の少なくとも3個ボンディングパッドにより、中間タップ付インダクタンス素子を、また上記インダクタンス素子、中間タップ付インダクタンス素子を磁氣的に結合させることで相互インダクタンス値を有するインダクタンス素子を形成する。



## 【特許請求の範囲】

【請求項1】 半導体集積回路のチップ表面上に相対向して配置された電極引き出し用のボンディングパッドの中間に別に少なくとも複数のボンディングパッドを有し、前記中間に配置された少なくとも複数のボンディングパッド間を金属ボンディングワイヤを介して接続し、該金属ボンディングワイヤと該複数のボンディングパッドによりインダクタンス素子を形成したことを特徴とする半導体装置。

【請求項2】 半導体集積回路のチップ表面上に相対向して配置された電極引き出し用のボンディングパッドの中間に別に配置された少なくとも複数のボンディングパッドは、該ボンディングパッドの相異なる組み合わせの2つのボンディングパッド間を接続した単一もしくは複数の金属ボンディングワイヤと、該複数のボンディングパッドとによって単一もしくは複数のインダクタンス素子を形成したことを特徴とする請求項1記載の半導体装置。

【請求項3】 半導体集積回路のチップ表面上に相対向して配置された電極引き出し用のボンディングパッドの中間に別に配置された少なくとも複数のボンディングパッドは、該ボンディングパッドの相異なる組み合わせの2つのボンディングパッド間を接続した複数の金属ボンディングワイヤと、該ボンディングパッドの少なくとも3つの異なるボンディングパッドから集積回路と接続をとることにより、中間タップ付インダクタンス素子を形成したことを特徴とする請求項1記載の半導体装置。

【請求項4】 半導体集積回路のチップ表面上に相対向して配置された電極引き出し用のボンディングパッドの中間に別に配置された少なくとも複数のボンディングパッドは、該ボンディングパッドの相異なる組み合わせの2つのボンディングパッド間を接続した単一もしくは複数の金属ボンディングワイヤによって形成された単一のインダクタンス素子もしくは中間タップ付インダクタンス素子と、他の同様の構成によって形成された他の単一のインダクタンス素子もしくは中間タップ付インダクタンス素子とを、磁気的に結合させることによって相互インダクタンス値を有するインダクタンス素子を形成したことを特徴とする請求項1記載の半導体装置。

【請求項5】 半導体集積回路のチップ表面上に相対向して配置された電極引き出し用のボンディングパッドの中間に別に配置された少なくとも複数のボンディングパッドは、該複数のボンディングパッドを1本の金属ボンディングワイヤによって接続し単一のインダクタンス素子を形成したことを特徴とする請求項1記載の半導体装置。

【請求項6】 半導体集積回路のチップ表面上に相対向して配置された電極引き出し用のボンディングパッドの中間に別に配置された少なくとも複数のボンディングパッドは、該複数のボンディングパッドを接続した1本の金

属ボンディングワイヤと、該複数のボンディングパッドの少なくとも3つの異なるボンディングパッドから集積回路と接続をとることにより、中間タップ付インダクタンス素子を形成したことを特徴とする請求項1記載の半導体装置。

【請求項7】 半導体集積回路のチップ表面上に相対向して配置された電極引き出し用のボンディングパッドの中間に別に配置された少なくとも複数のボンディングパッドは、該複数のボンディングパッドを1本の金属ボンディングワイヤによって形成された単一のインダクタンス素子もしくは中間タップ付インダクタンス素子と、他の同様の構成によって形成された他の単一のインダクタンス素子もしくは中間タップ付インダクタンス素子とを、磁気的に結合させることによって相互インダクタンス値を有するインダクタンス素子を形成したことを特徴とする請求項1記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はインダクタンス素子を集積化する必要がある場合の高周波集積回路やモノリシック・マイクロ波集積回路(以下、MMICという)において、高性能な発振回路などを形成するために低損失で高いQ値を実現するインダクタンス素子およびインダクタンス素子を有する半導体装置に関するものである。

## 【0002】

【従来の技術】従来技術により高周波集積回路およびMMICにインダクタンス素子を集積化しようとする場合、集積回路内の電極配線を形成する工程を利用し、電極配線をスパイラル状の配線パターンで形成するか、十数ギガ以上の周波数の高い場合などでは、ストリップライン自体のインダクティブな成分を利用するなどの方法が採られていた。

【0003】高周波集積回路およびMMICの電極配線を用いてインダクタンス素子を形成する場合、高密度集積回路の電極配線を利用するため電極配線の厚みが500nm $\sim$ 1 $\mu$ m程度に限られるために、スパイラル状にコイルを形成する場合、電気抵抗値を低減することが困難であった。また電極周辺の誘電体や半導体に起因する誘電体損失(tan $\delta$ )が大きくなるために発振回路や共振回路に用いるような高いQ値が要求される場合には特別に半導体基板の一部を削除するなどの半導体基板の複雑な加工が必要となり、用いることが困難であった。

【0004】また、半導体集積回路チップからの引き出し電極に用いるボンディングワイヤが0.1nH $\sim$ 2nH程度の比較的小さいインダクタンス値を有することから、半導体集積回路チップの引き出し電極をインダクタンス素子として利用する場合もあった。

【0005】半導体集積回路チップからの引き出し電極に用いるボンディングワイヤでインダクタンス素子を形成する場合、インダクタンス値が比較的小さい値に限ら

れることと、ボンディングワイヤの長さや形状によって大きく変化し、精度や均一性の良いインダクタンス素子を形成することが困難であり、さらにまた引き出し電極部にインダクタンス素子を挿入する位置が限定され、使用する場合の回路トポロジーが大きく制約される。

【0006】

【発明が解決しようとする課題】このように従来の技術においては、高周波集積回路およびMMICの電極配線を用いてインダクタンス素子を形成する場合、電気抵抗値を低減することが困難、また電極周辺の誘電体や半導体10に起因する誘電体損失( $\tan \delta$ )が大きくなるために発振回路や共振回路に用いる高いQ値が実現できないことである。またスパイラル形状の配線パターンの半導体集積回路チップ上の占有する表面積が広く半導体集積回路チップの有効利用とチップの縮小の妨げとなっていることである。

【0007】本発明は、上記の課題を簡単な手段により解決することを目的とするものである。

【0008】

【課題を解決するための手段】本発明は上記課題を解決し20し目的を達成するため、高周波集積回路およびMMICの半導体集積回路において、半導体集積回路のチップ表面上に相対向して配置された電極引き出し用のボンディングパッドの中間に別に配置された少なくとも複数のボンディングパッド間を金属ボンディングワイヤを介して接続し、金属ボンディングワイヤと該複数のボンディングパッドによりインダクタンス素子を形成したことであ

る。

【0009】また、電極引き出し用のボンディングパッドの中間に別に配置された少なくとも複数のボンディング30パッドの相異なる組み合わせの2つのボンディングパッド間を接続した単一もしくは複数の金属ボンディングワイヤと、該複数のボンディングパッドとによって単一のインダクタンス素子を形成したことである。

【0010】さらに、電極引き出し用のボンディングパッドの中間に別に配置された少なくとも複数のボンディングパッドの相異なる組み合わせの2つのボンディングパッド間を接続した複数の金属ボンディングワイヤと、該ボンディングパッドの少なくとも3つの異なるボンディングパッドから集積回路と接続をとることにより、中間40タップ付インダクタンス素子を形成したことである。

【0011】さらにまた、電極引き出し用のボンディングパッドの中間に別に配置された少なくとも複数のボンディングパッドの相異なる組み合わせの2つのボンディングパッド間を接続した単一もしくは複数の金属ボンディングワイヤによって形成された単一のインダクタンス素子もしくは中間タップ付インダクタンス素子と、他の同様の構成によって形成された他の単一のインダクタンス素子もしくは中間タップ付インダクタンス素子とを、磁50氣的に結合させることによって相互インダクタンス値を

有するインダクタンス素子を形成したことである。

【0012】また、高周波集積回路およびMMICの半導体集積回路のチップ表面上に相対向して配置された電極引き出し用のボンディングパッドの中間に別に配置された少なくとも複数のボンディングパッドを1本の金属ボンディングワイヤによって接続し単一のインダクタンス素子を形成したことである。

【0013】また、電極引き出し用のボンディングパッドの中間に別に配置された少なくとも複数のボンディングパッドにおいて、該複数のボンディングパッドを接続した1本の金属ボンディングワイヤと、複数のボンディングパッドの少なくとも3つのボンディングパッドと集積回路とを接続させることにより、中間タップ付インダクタンス素子を形成したことである。

【0014】さらに、電極引き出し用のボンディングパッドの中間に別に配置された少なくとも複数のボンディングパッドを1本の金属ボンディングワイヤの接続によって形成された単一のインダクタンス素子もしくは中間タップ付インダクタンス素子と、他の同様の構成によって形成された他の単一のインダクタンス素子もしくは中間タップ付インダクタンス素子とを、磁氣的に結合させることによって相互インダクタンス値を有するインダクタンス素子を形成したことである。

【0015】

【発明の実施の形態】以下本発明の各実施の形態について、図1から図4を用いて説明する。

(実施の形態1) 図1は本発明の実施の形態1における引き出し電極形成およびインダクタンス素子形成後の半導体集積回路チップの斜視図である。図1において、1は高周波集積回路およびMMICの半導体集積回路チップ、2はパッケージ実装のためのコム電極、3は半導体集積回路チップ1の表面上の相対向する位置に設けられた電極引き出し用ボンディングパッドPA、4は半導体集積回路チップ1とコム電極2を接続する電極引き出し用のボンディングワイヤWである。また5〜8は電極引き出し用以外に設けられたボンディングパッドPBで、電極引き出し用のボンディングパッドPA3の中間に別に配置されている。9はボンディングパッドPB5およびボンディングパッドPB6を接続した第1のインダクタンス素子として用いられたボンディングワイヤW1、10はボンディングパッドPB7およびボンディングパッドPB8を接続した第2のインダクタンス素子として用いられたボンディングワイヤW2である。

【0016】半導体集積回路チップ1は、ボンディングパッドPA3およびボンディングパッドPB5〜8以外のトランジスタ、回路素子および集積回路パターンは図1の図面上では省略されている。図1に示されるように電極引き出し用ボンディングパッドPA3は通常半導体集積回路チップ1の周辺に約60 $\mu\text{m}$ 〜100 $\mu\text{m}$ の間隔で設置されている。またボンディングパッドPB5〜8は半

導体集積回路チップ周辺より内側のボンディングパッドPA3の相対向する中間に設置されていて、半導体集積回路チップ1のインダクタンス素子が必要となる位置に設けられている。

【0017】半導体集積回路チップ1はコム電極2のダイパッドにダイスボンドされ、集積回路の引き出し電極をボンディングワイヤW(4)でコム電極2とボンディングパッドPA3が接続される。またボンディングパッドPB5とボンディングパッドPB6がボンディングワイヤW1(9)で接続され、またボンディングパッドPB7とボンディングパッドPB8がボンディングワイヤW2(10)で接続され、それぞれインダクタンス素子となる。ボンディングワイヤW1(9)、W2(10)によるインダクタンス素子は半導体集積回路チップ1の配線電極に比較して直列抵抗成分を低減することが可能であり、また半導体集積回路チップ1の表面から離れているため、半導体集積回路を構成する誘電体の影響を受けにくく、誘電体損失( $\tan \delta$ )を低減することができ、共振回路を構成する場合は、より高いQ値を有する共振器を形成することができる。

【0018】ボンディングワイヤW1(9)あるいはボンディングワイヤW2(10)によるインダクタンス素子では、ワイヤの形状によってインダクタンス値を選択できる。本実施の形態1の場合はボンディングワイヤW1(9)は、ボンディングワイヤW2(10)より長く、ボンディングワイヤW1(9)の方がボンディングワイヤW2(10)に比べて大きなインダクタンス値を有する。またインダクタンス値はボンディングワイヤW1(9)、W2(10)のワイヤ径により可変可能であるが、引き出し電極用ボンディングワイヤW(4)と同一の径を有するワイヤにより形成する方が同一のボンディングマシンで形成できる。

【0019】また、本実施の形態1ではインダクタンス素子を形成するために、ボンディングワイヤW1(9)、W2(10)の形状を半円形状にしたが、本発明による効果はこの半円形状に限られることはなく、矩形形状、その他の形状であってもインダクタンス値の変化を伴うものの全く同様の同様の効果を得ることができる。また、同一半導体集積回路チップ上に2個のインダクタンス素子を形成したが、単独もしくは複数の使用において本発明の効果を損なうものではない。さらに、ボンディングパッドPB5、6とボンディングワイヤW1(9)、あるいはボンディングパッドPB7、8とボンディングワイヤW2(10)などの複数のインダクタンス素子を、同一半導体集積回路チップ1上に形成し、それぞれのインダクタンス素子の磁力線を結合させ、相互インダクタンス結合を形成しトランスとして用いることもできる。

【0020】(実施の形態2)図2は本発明の実施の形態2における引き出し電極形成およびインダクタンス素子形成後の半導体集積回路チップの斜視図である。図2

において、半導体集積回路チップ1、パッケージ実装のためのコム電極2、電極引き出し用ボンディングパッドPA3、電極引き出し用のボンディングワイヤW(4)については、前記図1に示す実施の形態1と同様の構成であり、本実施の形態2によるインダクタンス素子形成用のボンディングパッドPB5~8もチップ上の配置が異なるものの同様の構成である。

【0021】本実施の形態2は前記実施の形態1におけるインダクタンス素子より大きなインダクタンス値を得ようとした場合であり、ボンディングワイヤが長くなる場合、半導体集積回路チップ1の表面に垂直な面上にボンディングワイヤを立てる場合には、樹脂モールドがインダクタンス素子全体を被覆させる場合厚い樹脂モールドが必要となる。本実施の形態2によるインダクタンス素子であるボンディングワイヤW1(11)およびボンディングワイヤW2(12)は、ボンディングワイヤが半導体集積回路チップ1の表面と離れた平行面上にあるため、ボンディングワイヤW1(11)、W2(12)を樹脂モールドで被覆する場合にも、薄い樹脂モールドで被覆できる。

【0022】本実施の形態2の場合は、ボンディングワイヤW1(11)およびボンディングワイヤW2(12)の一端を、ボンディングパッドPB6およびボンディングパッドPB8に接続し、半導体集積回路チップ1の表面に垂直な面内に円形の形状を作り、他の一端をボンディングパッドPB5およびボンディングパッドPB7に接続し、さらに円形のボンディングワイヤ面が半導体集積回路チップ1の表面とほぼ平行になるまで機械的に押し曲げたものである。

【0023】これによりインダクタンス値を長いボンディングワイヤを用いて大きくした場合においても占有体積を増加させることなく形成することができる。

【0024】本実施の形態2におけるボンディングワイヤW1(11)あるいはボンディングワイヤW2(12)によるインダクタンス素子についても同様に集積回路の配線電極に比較して直列抵抗成分を低減することが可能であり、また半導体集積回路チップ表面から離れているため、半導体集積回路を構成する誘電体の影響を受けにくく、誘電体損失( $\tan \delta$ )を低減することができ、共振回路を構成する場合は、より高いQ値を有する共振器を形成することができる。また、同様にワイヤの形状によってインダクタンス値を選択でき、ボンディングワイヤW1(11)は、ボンディングワイヤW2(12)より長く、ボンディングワイヤW1(11)の方がボンディングワイヤW2(12)に比べて大きなインダクタンス値を有する。またインダクタンス値はボンディングワイヤのワイヤ径により可変可能であり、ボンディングワイヤの形状は、本実施の形態2による円形状に限られることはなく、矩形形状、その他の形状であってもインダクタンス値の変化を伴うものの同様な効果を得ることができる。

【0025】(実施の形態3)図3は本発明の実施の形

態3における引き出し電極形成およびインダクタンス素子形成後の半導体集積回路チップの斜視図である。図3において、半導体集積回路チップ1、パッケージ実装のためのコム電極2、電極引き出し用ボンディングパッドPA3、電極引き出し用のボンディングワイヤW(4)については、図1に示す実施の形態1と同様の構成である。13はボンディングパッドPB5とボンディングパッドPB6とを接続するボンディングワイヤW1、14はボンディングパッドPB6とボンディングパッドPB7とを接続するボンディングワイヤW2、15はボンディングパッドPB7とボンディングパッドPB8とを接続するボンディングワイヤW3であり、これら3本のボンディングワイヤでインダクタンス素子を形成する。

【0026】本実施の形態3ではインダクタンス素子形成用のボンディングパッドPB5～8において、ボンディングパッドPB5およびボンディングパッドPB8は半導体集積回路と本発明によるインダクタンス素子を接続する目的で形成されたもので、それぞれのボンディングパッドがインダクタンス素子の両端に相当するものである。またボンディングパッドPB6およびボンディングパッドPB7は、同一ボンディングパッド上に2箇所のワイヤボンディングが可能となるもので、ボンディングパッドPB5およびボンディングパッドPB8よりもやや大きめで長方形の形状である。ボンディングワイヤW1(13)はボンディングパッドPB5とボンディングパッドPB6とに接続され、ボンディングワイヤW2(14)はボンディングパッドPB6とボンディングパッドPB7とを、さらにボンディングワイヤW3(15)はボンディングパッドPB7とボンディングパッドPB8とにそれぞれ接続される。ボンディングワイヤW1(13)、W2(14)、W3(15)は同様に半円形状であり、それぞれ同形状に並ぶように形成されているため、ボンディングワイヤW1(13)、W2(14)、W3(15)およびボンディングパッドPB6、7により1個のインダクタンス素子として機能する。

【0027】本実施の形態3におけるボンディングワイヤW1(13)、W2(14)、W3(15)によるインダクタンス素子において、ボンディングパッドPB6およびボンディングパッドPB7上での形成したボンディングワイヤW1(13)、W2(14)の接続抵抗、ボンディングワイヤW2(14)とボンディングワイヤW3(15)の接続抵抗を同一パッド上でのワイヤボンディング接続により低減することができるためにインダクタンス素子全体の直列抵抗成分を低減することが可能であり、また半導体集積回路チップ表面から離れているため、半導体集積回路を構成する誘電体の影響を受けにくく、誘電体損失( $\tan\delta$ )を低減することができ、共振回路を構成する場合は、より高いQ値を有する共振器を形成することができる。またインダクタンス値は、ボンディングワイヤW1(13)、W2(14)およびボンディングワイヤW3(15)の3本で構成す

るためにボンディングワイヤのそれぞれ単独で構成するインダクタンス値の約3倍の大きな値をとることができる。

【0028】本実施の形態3によるボンディングワイヤの形状は半円形状に並べたが、形状が半円形に限られることはなく、矩形形状、その他の形状であってもインダクタンス値の変化を伴うものの同様の効果を得ることができる。また本実施の形態3では3本のボンディングワイヤでインダクタンス素子を構成したが、3本に限られることはなく、複数のボンディングワイヤを同様に接続した場合であっても同様の効果が得られることは明らかである。さらにまた、本実施の形態3の場合は、ボンディングパッドPB6およびボンディングパッドPB7は半導体集積回路内の配線電極と接続させることなく、単一のインダクタンス素子としたが、ボンディングワイヤ接続のためのボンディングパッドPB6、7のようなボンディングパッドと半導体集積回路内の配線電極と接続し、コイルの中間タップ電極として取り出すこと、さらには、ボンディングパッドPB5～8およびボンディングワイヤW1～W3(13～14)からなるインダクタンス素子を複数個、同一半導体集積回路チップ上に形成し、それぞれのインダクタンス素子の磁力線を結合させ、相互インダクタンス結合を形成しトランスとして用いることもできる。

【0029】(実施の形態4) 図4は本発明の実施の形態4における引き出し電極形成およびインダクタンス素子形成の半導体集積回路チップの斜視図である。図4において、半導体集積回路チップ1、パッケージ実装のためのコム電極2、電極引き出し用ボンディングパッドPB3、電極引き出し用のボンディングワイヤW(4)については図1に示す実施の形態1と同様の構成である。

【0030】本実施の形態4では、ボンディングパッドPB5にボンディングワイヤW0(16)の一端を接続し、次にボンディングパッドPB6に接続する。ボンディングパッドPB6に接続した後、ボンディングワイヤW0(16)を切断することなくボンディングパッドPB7、さらにボンディングパッドPB8に接続した後ボンディングワイヤW0(16)を切断する。このようにすることによって、ボンディングワイヤW0(16)はコイル状になりボンディングパッドPB5およびボンディングパッドPB8を両端子とするインダクタンス素子が形成できる。

【0031】本実施の形態4におけるボンディングワイヤW0(16)によるインダクタンス素子において、ボンディングパッドPB6およびボンディングパッドPB7上でボンディングワイヤW0(16)は切断されることがないので接続抵抗を劣化させることがない。ボンディングワイヤW0(16)で構成されるインダクタンス素子は半導体集積回路チップ1の表面から離れているため、半導体集積回路を構成する誘電体の影響を受けにくく、誘電体損失( $\tan\delta$ )を低減することができ、共振回路を構成する

インダクタンス素子は集積回路の任意の位置で用いることができるため、回路トポロジに制約を与えない。

【0034】また、本発明によるインダクタンス素子は半導体集積回路チップ表面積をボンディングパッド面積以上に必要としないため、チップサイズの縮小に大きく寄与し、しかもインダクタンス素子形成のためには特別な工程設備を必要とせず、工場における量産に適した半導体装置を提供することができる。

【図１】本発明の実施の形態１における引き出し電極形成およびインダクタンス素子形成後の半導体集積回路チップの斜視図である。

【図２】本発明の実施の形態２における引き出し電極形成およびインダクタンス素子形成後の半導体集積回路チップの斜視図である。

【図3】本発明の実施の形態3における引き出し電極形成およびインダクタンス素子形成後の半導体集積回路チップの斜視図である。

【図４】本発明の実施の形態４における引き出し電極形成およびインダクタンス素子形成後の半導体集積回路チップの斜視図である。

1…半導体集積回路チップ、 2…パッケージ実装のためのコム電極、 3…電極引き出し用ボンディングパッドPA、 4…電極引き出し用ボンディングワイヤW、 5〜8…電極引き出し用以外に設けられたインダクタンス素子を形成のためのボンディングパッドPB、 9、 11、 13…インダクタンス素子として用いられたボンディングワイヤW1、 10、 12、 14…インダクタンス素子として用いられたボンディングワイヤW2、 15…インダクタンス素子として用いられたボンディングワイヤW3、 16…インダクタンス素子として用いられたボンディングワイヤW0。

【発明の効果】以上説明したように本発明は、ボンディングワイヤによりインダクタンス素子およびその形成手段によって、低抵抗で誘電体損失( $\tan \delta$ )の少ないインダクタンス素子を、高周波集積回路およびMMICの半導体集積回路上に形成することができる。また半導体集積回路チップ上の複数のボンディングパッドをボンディングワイヤで接続するためボンディングパッドの相対距離の精度が高いことから、ボンディングワイヤの長さや形状を精度よく再現することが可能で、精度の良いインダクタンス素子を実現できる。さらにまた本発明による

This diagram shows an exploded perspective view of a multi-pin connector assembly. The components are labeled with numbers 1 through 12. The assembly includes a central base (1), side rails (2), and a series of pins (3, 4, 5, 6, 7, 8, 9, 10, 11, 12) that are inserted into the base. The pins are arranged in two rows, with the top row having 6 pins and the bottom row having 6 pins. The pins are connected to a series of electrical contacts (11, 12) on the side rails. The diagram illustrates the assembly process, showing how the pins are inserted into the base and how the side rails are attached to the base.

11- ボンディングワイヤWT  
12- ボンディングワイヤWT



1... 半導体集積回路チップ  
3... 電極引き出し用ボンディングパッドPA  
5~8... ボンディングパッドPB  
9... ボンディングワイヤW1  
10... ボンディングワイヤW2

13...ボンディングワイヤ W1  
14...ボンディングワイヤ W2  
15...ボンディングワイヤ W3

【図4】

